



등록특허 10-2453975



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년10월12일
(11) 등록번호 10-2453975
(24) 등록일자 2022년10월07일

- (51) 국제특허분류(Int. Cl.)
H01L 49/02 (2006.01)
(52) CPC특허분류
H01L 28/40 (2013.01)
(21) 출원번호 10-2021-0010839
(22) 출원일자 2021년01월26일
심사청구일자 2021년01월26일
(65) 공개번호 10-2022-0107770
(43) 공개일자 2022년08월02일
(56) 선행기술조사문헌
Daniele Ielmini, "Resistive switching memories based on metal oxides: mechanisms, reliability and scaling", Semiconductor Science and Technology, Vol.31, No.6 (2016.)*
(뒷면에 계속)

전체 청구항 수 : 총 5 항

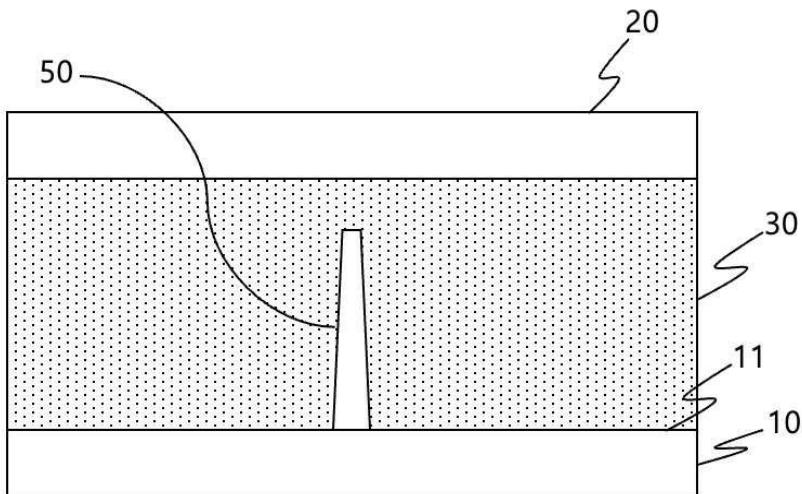
심사관 : 고연화

- (54) 발명의 명칭 커패시턴스가 개선된 커패시터 및 커패시터 제조 방법

(57) 요 약

본 발명의 커패시터는 전기가 소통되는 제1 전극과 제2 전극; 상기 제1 전극과 상기 제2 전극의 사이에 배치되는 절연층; 상기 절연층에 형성되고 전기가 소통되는 필라멘트;를 포함할 수 있다.

대 표 도 - 도1



(56) 선행기술조사문헌

Gang Niu, et al., Geometric conductive filament confinement by nanotips for resistive switching of HfO₂-RRAM devices with high performance, Scientific Reports (2016)

KR1020190037076 A

KR1020140042984 A

Sungho Kim, et al., Physical electro-thermal model of resistive switching in bi-layered resistance-change memory, Scientific Reports (2013)

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

제1 전극의 제1 면에 필라멘트의 재료 물질을 증착시키는 증착 단계;

상기 제1 면 상에 절연층을 적층하고, 상기 절연층 상에 제2 전극을 적층하는 적층 단계;

상기 제1 전극에 커패시터의 동작 전압보다 높은 포밍 전압(forming voltage)을 인가하여 상기 재료 물질이 상기 제2 전극을 향해 연장된 필라멘트를 형성하는 형성 단계; 및

상기 형성 단계 후에, 상기 제1 전극에 상기 동작 전압보다 낮은 리셋 전압(reset voltage)을 인가하여 상기 필라멘트가 상기 제2 전극과 단절되도록 상기 필라멘트의 말단부를 파열하는 파열 단계를 포함하고,

상기 필라멘트는:

상기 포밍 전압 및 기 설정된 제1 전류를 인가한 다음 상기 리셋 전압을 인가함으로써 1차 형성되고;

상기 1차 형성이 완료된 이후에, 상기 포밍 전압 및 상기 제1 전류보다 높은 제2 전류를 인가한 다음 상기 리셋 전압을 인가함으로써 보다 상기 1차 형성된 두께보다 두껍게 2차 형성되고;

상기 2차 형성이 완료된 이후에, 상기 포밍 전압 및 상기 제2 전류보다는 높되 브레이크 다운(break down) 전류보다는 낮은 제3 전류를 인가한 다음 상기 리셋 전압을 인가함으로써 상기 2차 형성된 두께보다 두껍게 3차 형성되는, 커패시터 제조 방법.

청구항 2

제1항에 있어서,

상기 필라멘트는 상기 절연층 내에서 상기 제2 전극으로부터 이격되게 형성된 커패시터 제조 방법.

청구항 3

제1항에 있어서,

상기 필라멘트는 상기 제1 전극에 전기적으로 연결되게 형성되고, 상기 제2 전극에 전기적으로 단절되게 형성된 커패시터 제조 방법.

청구항 4

제1항에 있어서,

상기 필라멘트는 상기 제2 전극에 대면되는 상기 제1 전극의 일면에 돌출 형성되고,

상기 필라멘트는 상기 제2 전극에 비접촉되는 위치까지 상기 절연층을 가로질러 상기 제2 전극을 향해 연장되는 커패시터 제조 방법.

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

제1항에 있어서,

상기 재료 물질은 Ag, Cu, Pt, W 중 적어도 하나를 포함하는 커패시터 제조 방법.

청구항 9

삭제

청구항 10

삭제

발명의 설명**기술 분야**

[0001]

본 발명은 메모리 등의 각종 소자에 사용되는 커패시터에 관한 것이다.

배경 기술

[0003]

전극과 전극사이에 절연층이 있는 MIM(Metal-Insulator-Metal) 구조는 다양한 소자, 예를 들어 DRAM(Dynamic Random Access Memory) 소자의 1T-1C(1 트랜지스터-1 커패시터) 구조에서 커패시터로 적용되고 있다. 이러한 디바이스에서 커패시터는 전하를 보관하는 핵심적 역할을 하며, 많은 양의 전하를 오랜 시간 동안 저장하기 위해 커패시턴스를 증가시키는 방향으로 연구 및 개발이 이루지고 있다.

[0004]

고집적화를 위해 소자의 크기는 감소하는 동시에, DRAM 셀의 동작으로 필요한 25 fF/cell이 만족되어야 하기 때문에 필요한 정전용량을 확보하기 위한 구조적 접근이 이루어졌지만, 물리적인 두께에 따른 높이의 한계점이 존재하기 때문에 제한적 성능향상만이 가능했다. 소자의 크기가 점점 작아지고 얇아짐에 따라 전류차단 및 저장역할을 제대로 하지 못하게 되었으며, 일정 크기를 유지해야 커패시터로서의 기능을 할 수 있었기 때문에 커패시턴스를 결정하는 또 다른 파라미터인 유전상수를 고려하게 되었다.

[0005]

유전상수는 물질이 가지고 있는 고유의 성질로 커패시턴스 값에 비례하여, 높은 유전상수 (high-k) 값을 가지는 재료 위주로 연구개발이 진행되고 있다. 대표적인 high-k 물질로 HfO₂, ZrO₂, TiO₂ 등이 고려되고 있으며, 공정 조건에 따라 형성되는 박막의 구조분석을 통해 유전상수를 높이는 방법이 사용되고 있다. 또한 페로브스카이트 구조를 가지는 SrTiO₃와 같은 신물질 적용을 통하여 고성능 및 상업화를 위한 새로운 접근들이 시도되고 있다.

[0006]

하지만, 공정조건 변경에 따른 최적화 과정은 결과적으로 공정온도 상승을 유도하게 되며 이는 CMOS(complementary metal-oxide-semiconductor) 적용 시 주변 소자나 회로들에 영향을 끼치게 되어 최종 제품의 성능을 감소시키는 요인이 된다. 또한, 신물질 자체의 발견은 매우 제한적이며, 발견이 되었다 하더라도 성능, 공정 등의 최적화 및 안정성을 검증하는데 많은 시간이 소요되고 양산시에 기존 생산시설을 활용할 수 없다면 새로운 생산시설을 갖추어야 함에 경제적 부담이 있다.

[0007]

한국공개특허공보 제2019-0037076호에는 2개의 평행판 커패시터를 병렬로 연결하여 단위 면적당 커패시턴스를 증가시키는 기술이 나타나 있다.

선행기술문헌**특허문헌**

[0009]

(특허문헌 0001) 한국공개특허공보 제2019-0037076호

발명의 내용

해결하려는 과제

[0010] 본 발명은 필라멘트의 형성과 파열을 이용해 커패시턴스가 개선된 커패시터 및 그 제조 방법을 제공하기 위한 것이다.

과제의 해결 수단

[0012] 본 발명의 커패시터는 전기가 소통되는 제1 전극과 제2 전극; 상기 제1 전극과 상기 제2 전극의 사이에 배치되는 절연층; 상기 절연층에 형성되고 전기가 소통되는 필라멘트;를 포함할 수 있다.

[0013] 본 발명의 DRAM은 필라멘트가 형성 및 파열된 커패시터를 포함할 수 있다.

[0014] 본 발명의 커패시터 제조 방법은 제1 전극의 제1 면에 필라멘트의 재료 물질을 증착시키는 증착 단계; 상기 제1 면 상에 절연층을 적층하고, 상기 절연층 상에 제2 전극을 적층하는 적층 단계; 상기 제1 전극에 커패시터의 동작 전압보다 높은 포밍 전압(forming voltage)을 인가하는 형성 단계; 상기 형성 단계 후에, 상기 제1 전극에 상기 동작 전압보다 낮은 리셋 전압(reset voltage)을 인가하는 파열 단계;를 포함할 수 있다.

[0015] 본 발명의 커패시터 제조 방법은 제1 전극과 제2 전극 사이에 절연층이 있는 MIM(Metal-Insulator-Metal) 구조에서 커패시터의 동작 전압보다 높은 포밍 전압을 이용해서 상기 절연층에 필라멘트를 형성한 후 상기 동작 전압보다 낮은 리셋 전압을 이용해서 상기 필라멘트를 파열시킬 수 있다.

발명의 효과

[0017] 본 발명에 따르면, 전극의 설계 면적을 만족하면서 전극의 실질 면적을 증가시키거나, 절연층의 설계 두께를 만족하면서 절연층의 실질 두께를 감소시킬 수 있다.

[0018] 전극의 실질 면적 증가 또는 절연층의 실질 두께 감소를 통해, 커패시턴스가 개선된 커패시터가 제공될 수 있다.

도면의 간단한 설명

[0020] 도 1은 본 발명의 커패시터를 나타낸 개략도이다.

도 2는 본 발명의 커패시터 제조 방법을 나타낸 흐름도이다.

도 3은 본 발명의 커패시터 및 그 제조 과정을 나타낸 개략도이다.

도 4는 전극의 면적을 비교한 결과를 나타낸 그래프이다.

도 5는 C-V 그래프의 면적별 측정결과에서 나타난 커패시턴스 증가율을 비교한 막대 그래프이다.

도 6은 전류 제한의 변화에 따른 Pt/HfO₂/Pt 소자의 전류-전압(I-V) Forming 곡선을 나타낸 그래프이다.

도 7은 전류 제한에 따른 필라멘트의 '형성-파열' 과정 및 필라멘트의 두께 변화를 비교한 개략도이다.

도 8은 전류 제한을 10 μA, 100 μA, 1mA 순서로 설정하여 '형성-파열' 동작을 진행한 소자의 커패시턴스 증가 상태를 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0021] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0022] 본 명세서에서, 동일한 구성요소에 대해서 중복된 설명은 생략한다.

[0023] 또한 본 명세서에서, 어떤 구성요소가 다른 구성요소에 '연결되어' 있다거나 '접속되어' 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존

재할 수도 있다고 이해되어야 할 것이다. 반면에 본 명세서에서, 어떤 구성요소가 다른 구성요소에 '직접 연결되어' 있다거나 '직접 접속되어' 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.

- [0024] 또한, 본 명세서에서 사용되는 용어는 단지 특정한 실시예를 설명하기 위해 사용되는 것으로써, 본 발명을 한정하려는 의도로 사용되는 것이 아니다.
- [0025] 또한 본 명세서에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다.
- [0026] 또한 본 명세서에서, '포함하다' 또는 '가지다' 등의 용어는 명세서에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품, 또는 이들을 조합한 것이 존재함을 지정하려는 것일 뿐, 하나 또는 그 이상의 다른 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 할 것이다.
- [0027] 또한 본 명세서에서, '및/또는'이라는 용어는 복수의 기재된 항목들의 조합 또는 복수의 기재된 항목들 중의 어느 항목을 포함한다. 본 명세서에서, 'A 또는 B'는, 'A', 'B', 또는 'A와 B 모두'를 포함할 수 있다.
- [0028] 또한 본 명세서에서, 본 발명의 요지를 흐리게 할 수 있는 공지 기능 및 구성에 대한 상세한 설명은 생략될 것이다.
- [0029] 도 1은 본 발명의 커패시터를 나타낸 개략도이다.
- [0030] 본 발명의 커패시터는 전기가 소통되는 제1 전극과 제2 전극, 제1 전극과 제2 전극의 사이에 배치되는 절연층, 절연층에 형성되고 전기가 소통되는 필라멘트를 포함할 수 있다.
- [0031] 필라멘트는 절연층 내에서 제1 전극 또는 제2 전극으로부터 이격되게 형성될 수 있다.
- [0032] 일 예로, 필라멘트는 제1 전극에 전기적으로 연결되게 형성될 수 있다. 그리고, 필라멘트는 제2 전극에 전기적으로 단절되게 형성될 수 있다.
- [0033] 일 실시예에 따르면, 필라멘트는 제2 전극에 대면되는 제1 전극의 일면에 돌출 형성될 수 있다. 필라멘트는 제2 전극에 비접촉되는 위치까지 절연층을 가로질러 제2 전극을 향해 연장될 수 있다.
- [0034] 절연층을 사이에 두고 서로 대면된 2개의 전극 중 어느 하나에 물리적으로 연결되고, 다른 하나에 물리적으로 단절된 미세 크기의 필라멘트를 형성하기 위한 방안으로 포밍 전압과 리셋 전압이 이용될 수 있다.
- [0035] 필라멘트는 제1 전극의 일면에 증착된 재료 물질이 포밍 전압(forming voltage)의 인가로 인해 제1 전극으로부터 제2 전극을 향해 연장된 것일 수 있다.
- [0036] 필라멘트는 제2 전극을 향해 연장된 후에 리셋 전압(reset voltage)의 인가로 인해 말단부가 파열된 것일 수 있다. 말단부의 파열로 인해 필라멘트는 제2 전극으로부터 확실하게 이격되고, 제2 전극에 전기적으로 단절될 수 있다.
- [0037] 본 발명에 따르면, 필라멘트는 커패시터를 형성하는 2개의 전극 중 어느 하나에 전기적으로 연결되고, 다른 하나에 전기적으로 단절될 수 있다. 필라멘트는 전기적으로 연결된 전극, 예를 들어 제1 전극과 유사하게 기능할 수 있다. 필라멘트는 제2 전극에 대면되는 제1 전극의 일면에 해당하는 제1 면으로부터 제2 전극을 향해 돌출되게 형성될 수 있다. 그 결과, 외형적으로 제1 전극과 제2 전극의 초기 설계 위치, 초기 설계 면적, 초기 설계 간격 등이 그대로 유지된 상태에서, 제1 전극과 제2 전극의 실질적인 거리가 초기 설계 간격보다 짧아질 수 있다. 또한, 제1 면에 형성된 돌기와 유사한 필라멘트로 인해 제1 면의 실질적인 면적이 제1 전극의 초기 설계 면적보다 증가될 수 있다.
- [0038] 제1 전극과 제2 전극 간의 거리 단축, 제1 전극의 면적 증가는 제1 전극, 절연층, 제2 전극이 순서대로 적층된 MIM(Metal-Insulator-Metal) 구조의 커패시터의 커패시턴스를 효과적으로 증가시킬 수 있다.
- [0039] 이상의 커패시터는 휘발성 메모리에 해당하는 DRAM(Dynamic random access memory) 소자의 1T-1C(1 트랜지스터 - 1 커패시터) 구조에 커패시터로 적용될 수 있다.
- [0040] 도 2는 본 발명의 커패시터 제조 방법을 나타낸 흐름도이다.
- [0041] 본 발명의 커패시터 제조 방법은 제1 전극과 제2 전극 사이에 절연층이 있는 MIM(Metal-Insulator-Metal) 구조에서 커패시터의 동작 전압보다 높은 포밍 전압을 이용해서 필라멘트를 형성한 후 동작 전압보다 낮은 리셋 전

압을 이용해서 필라멘트를 파열시킬 수 있다.

[0042] 일 예로, 본 발명의 커패시터 제조 방법은 증착 단계(S 510), 적층 단계(S 520), 형성 단계(S 530), 파열 단계(S 540)를 포함할 수 있다.

[0043] 증착 단계(S 510)는 제1 전극의 제1 면에 필라멘트의 재료 물질을 증착시킬 수 있다. 재료 물질은 Ag(은), Cu(구리), Pt(백금), W(텅스텐) 중 적어도 하나를 포함할 수 있다.

[0044] 적층 단계(S 520)는 제1 면 상에 절연층을 적층하고, 절연층 상에 제2 전극을 적층할 수 있다.

[0045] 형성 단계(S 530)는 제1 전극에 커패시터의 동작 전압보다 높은 포밍 전압(forming voltage)을 인가할 수 있다. 형성 단계(S 530)는 포밍 전압이 인가된 상태에서 제1 전류를 인가해서 필라멘트를 1차 형성하고, 제2 전류를 인가해서 필라멘트를 2차 형성할 수 있다. 이때, 제2 전류는 제1 전류보다 높은 전류값을 가질 수 있다.

[0046] 파열 단계(S 540)는 형상 단계(S 530) 후에, 제1 전극에 동작 전압보다 낮은 리셋 전압(reset voltage)을 인가할 수 있다.

[0047] 커패시터의 동작 전압은 예를 들어 1 ~ 3V일 수 있다. 이때, 포밍 전압은 6 ~ 8V일 수 있다. 리셋 전압은 -2 ~ -3V일 수 있다.

[0048] 이하에서, 커패시터 및 그 제조 방법을 구체적으로 살펴본다.

[0049] 본 발명은 MIM(Metal-Insulator-Metal) 구조의 DRAM 커패시터 소자에 대한 커패시턴스 용량 증가 방법에 해당될 수 있다. 구체적으로 본 발명은 커패시턴스 용량을 증가시키기 위해 MIM 구조의 소자에 동작 전압 이외의 전압을 인가하여 절연층 내부에 필라멘트의 '형성-파열' 과정을 유도할 수 있다. '형성-파열' 과정을 통해 커패시턴스 값을 결정짓는 요소 중에서 면적 상승과 두께 감소가 각각 발생되어 소자의 커패시턴스가 향상될 수 있다.

[0050] 본 발명은 현재 커패시턴스 향상을 위해 적용되고 있는 high-k 물질의 재료적 접근으로 한계가 와있는 상황에서, 새로운 개념의 전기적 접근으로 MIM 구조의 소자에 필라멘트의 형성-파열 과정을 진행할 수 있다.

[0051] 형성-파열 과정을 통해 제1 전극에 일단부가 연결되고 제2 전극에 연결되는 타단부가 파열된 필라멘트가 생성될 수 있다. 이렇게 생성된 필라멘트는 소자 내의 수직적인 면적을 증가시키고, 절연층의 유효 두께를 감소시킬 수 있다. 면적 증가 및 유효 두께의 감소는 커패시턴스의 개선에 기여할 수 있다.

[0052] 보편적으로, ReRAM(저항 메모리, Resistive RAM)의 동작 방식으로 설명되는 나노 단위 크기의 필라멘트는 디바이스에 전압을 가할 때 형성-파열 과정을 보이며, 파열 시 전압의 크기에 따라 일부의 필라멘트는 유전체(절연체) 내에 남아있다. 이렇게 잔존해 있는 필라멘트는 전자가 쉽게 이동할 수 있는 길의 역할을 하기 때문에 준-전극의 성질을 가질 수 있다. 이 부분이 커패시터구조에서 수직적 방향의 면적으로 작용하며, 필라멘트가 존재하지 않는 영역을 유효 두께로 본다면 이 두께 또한 감소하여 최종적으로 커패시턴스가 향상될 수 있다. 또한, 기준에 사용되던 소자에서 재료나 구조적인 변화가 없고 오로지 전압을 인가하는 공정의 추가로 필라멘트의 생성이 가능하다.

[0053] 본 발명의 커패시터와 ReRAM은 모두 필라멘트의 형성-파열을 이용할 수 있다. 하지만, 본원발명은 커패시터의 동작 전압을 벗어난 포밍 전압 또는 리셋 전압을 이용해서 필라멘트의 형성-파열을 유도하는 반면, ReRAM은 메모리의 동작 전압 범위 내에서 필라멘트의 형성-파열이 수행되는 점에서 결정적인 차이가 있다.

[0054] 정리하면, 본 발명의 커패시터에 따르면, 필라멘트가 형성된 이후 일측 말단부가 파열된 소위, 부분 파열된 필라멘트가 커패시터의 동작 여부에 상관없이 항상 일정하게 유지될 수 있다. 반면, ReRAM은 필라멘트가 생성되거나 파열되는 과정이 메모리의 동작 동안 수시로 반복될 수 있다.

[0055] 본 발명은, 고집적용 소자의 미세화 과정에서 제한되는 MIM 커패시터의 성능향상 문제를 해결할 수 있다.

[0056] 커패시턴스를 결정짓는 파라미터 중 유전상수를 제외한 면적과 두께를 고려하여, 유전체 내에서 커패시턴스를 효율적으로 향상시켜 주는 방법이 본 발명에 의해 제안될 수 있다. 기준에는 구조적 변경 및 유전상수를 고려한 다양한 물질변경을 통해 커패시턴스 증가를 도모해왔다면, 본 발명은 다양한 high-k 물질에 형성-파열 과정을 거친 유전체내의 필라멘트를 활용할 수 있다. 이를 통해, 기존 커패시턴스의 향상 대비 효율이 극대화될 수 있다.

[0057] 필라멘트에 의해 수직적 방향으로 증가된 면적은 반대쪽 전극의 전하를 더욱더 많이 끌어당길 수 있으므로 커패시턴스 향상에 기여할 수 있다. 또한, 절연체의 유효두께 감소는, 각 전극이 반대쪽 전하를 더 강한 힘으로 끌

어당기는데 기여할 수 있다.

[0058] MIM 구조에서 성능향상을 이끌어내는 면적증가 및 두께감소는 커페시턴스 향상에 기여하므로, 소자 제작시 구조 변경 등의 추가적인 공정과정 없이 기존의 방식 그대로 제작이 가능한 것이 장점이다. 또한, 파열 과정에서 전압의 크기조절에 따라 필라멘트의 크기 및 두께를 실험적으로 조정 및 적용할 수 있기 때문에, 최적화에 따라 다양한 디바이스에 부담없이 적용될 수 있다. 유전체 내에 존재하는 필라멘트는 보편적으로 나노 단위의 크기를 가질 수 있다.

[0059] 커페시턴스는 수학식 1에 의해 결정되며 형성된 필라멘트는 커페시턴스를 결정하는 전극의 면적과 절연층의 두께에 영향을 줄 수 있다.

수학식 1

$$C = \epsilon_0 \epsilon_r \frac{A}{d}$$

[0060] [0061] 이때, C = 커페시턴스, ϵ_0 = 진공 유전율 ($8.854 \times 10^{-12} [F/m]$), ϵ_r = 유전상수, A = 전극 또는 절연층의 면적, d = 절연층의 두께이며, 상수값인 ϵ_0 를 제외한 파라미터들은 물질의 종류 혹은 두께와 면적에 따라 조절 및 변화될 수 있다.

[0062] 도 3은 본 발명의 커페시터 및 그 제조 과정을 나타낸 개략도이다.

[0063] 두 전극 Metal 사이에 유전체(절연층) Insulator가 위치한 형태로 제작되며, 이 경우 절연층의 물질에 변동이 없다면 C 값은 전극의 면적 A 와 유전체의 두께 d 에 의해 결정될 수 있다. 두 전극은 하나는 제1 전극에 해당되며, 나머지 하나는 제2 전극에 해당될 수 있다.

[0064] ReRAM 동작 방식의 필라멘트를 추가적으로 이용하기 위해, 소자가 전기적으로 완전히 파괴되지 않을 전류제한 (Compliance current, I_{cc})을 걸어둘 수 있다. 전류 제한을 걸어둔 상태에서 일정 크기 이상의 포밍 전압 (Forming voltage) $V_{Forming}$ 을 인가해주면 유전체 내부에 전자가 이동할 수 있는 필라멘트가 형성될 수 있다 (Filament formation). 이렇게 형성된 필라멘트는 전기가 통할 수 있게 제1 전극과 제2 전극을 이어주기 때문에 MIM 구조는 절연체 성질을 잃어버릴 수 있다. 커페시터로 활용하기 위해서 ReRAM의 Reset 동작에 해당하는 과정을 진행하여 필라멘트 파열(Rupture) 과정을 통해 절연체 성질을 다시 확보할 수 있다.

[0065] ReRAM의 Reset 동작은 필라멘트의 일부를 파열키는 과정(Filament rupture)일 수 있다. 절연체 혹은 전극의 특성에 의해 결정되는 단방향(unipolar)과 양방향 (bipolar) 동작 중 하나에 해당하는 방식에 따라 (양 또는 음의) 전압을 가하게 되면, 유전체 두께 전반에 걸쳐 형성되어 있던 필라멘트의 일단부(51)가 끊어져 사라질 수 있다. 사라진 부분을 제외한 영역의 필라멘트는 남아있게 된다. 이렇게 유전체내에 남아있는 필라멘트는 전자가 쉽게 이동할 수 있는 영역이므로, 유전체 내에서 수직적으로 추가 전극 면적을 확보하는 역할을 할 수 있다. 이와 동시에 필라멘트가 존재하지 않는 영역의 온전한 유전체의 두께는, 기존 유전체의 두께보다 감소될 수 있다. 그 결과 수학식 1에 따라서, 면적 A 의 증가와 두께 d 의 감소가 이루어지고, 커페시턴스 C 가 증가될 수 있다.

[0066] 필라멘트는 사용되는 전극물질(재로 물질)에 따라 금속 필라멘트(예를 들어 은 Ag, 구리 Cu 등) 혹은 산소 공공(oxygen vacancy)(예를 들어 텉스텐 W, 백금 Pt 등)으로 형성될 수 있다. 필라멘트는 나노단위의 크기로 형성될 수 있다. 소자가 점점 미세화될수록 나노단위의 필라멘트가 커페시터에 미치는 영향력은 더욱더 커질 것이기 때문에, 본 발명의 커페시터 및 그 제조 방법은 집적화된 커페시터 또는 해당 커페시터가 포함된 메모리 등에서 커다란 효과를 발휘할 수 있다.

[0067] 기존 기술에 따르면, MIM 구조에서 도 3의 (a)와 같이 평행판 면적 A 와 온전한 유전체의 두께 d_1 이 커페시턴스 값에 반영될 수 있다.

[0068] 본 발명에 따르면, 도 3의 (b)와 같이 상부 전극에 포밍 전압 $V_{Forming}$ 을 인가하여 필라멘트를 형성할 수 있다. 이어서, 도 3의 (c)와 같이 리셋 전압 V_{Reset} 을 인가하여 필라멘트의 일부분, 예를 들어 필라멘트의 일단부(51)를 끊어줄 수 있다. 이로써, 유전체 내에 잔존해 있는 필라멘트가 전극의 추가면적 $\Delta\alpha$ 로 작용하고, 두께는 도 3

의 (a)의 d_1 보다 줄어든 d_2 길이가 되므로 커패시턴스 C가 증가될 수 있다.

[0069] 도 4는 전극의 면적을 비교한 결과를 나타낸 그래프이다.

[0070] 도 4의 (a)는 $50 \times 50 \mu\text{m}^2$ 면적의 전극을 대상으로 한 것이다.

[0071] 도 4의 (b)는 $75 \times 75 \mu\text{m}^2$ 면적의 전극을 대상으로 한 것이다.

[0072] 도 4의 (c)는 $100 \times 100 \mu\text{m}^2$ 면적의 전극을 대상으로 한 것이다.

[0073] 도 4의 실험 결과는 제1 전극 Pt(100nm), 절연층 HfO₂(9nm), 제2 전극 Pt(100nm)가 순서대로 적층된 MIM 구조의 커패시터를 대상으로, 포밍 전압을 인가하지 않은 순수 상태 (Pristine)의 디바이스와 형성-파열(Forming-Reset) 과정을 거친 디바이스의 면적별 커패시턴스를 비교한 것이다.

[0074] 도 4는 커패시턴스-전압(Capacitance-Voltage, C-V) 그래프를 면적별로 측정한 것으로, 3가지 소자 모두 순수상태의 소자보다 형성-파열 (Forming-Reset) 과정을 이용해 생성된 필라멘트를 활용한 소자의 커패시턴스가 많이 증가한 현상이 관찰되었다.

[0075] 도 5는 C-V 그래프의 면적별 측정결과에서 나타난 커패시턴스 증가율을 비교한 막대 그래프이다.

[0076] $100 \times 100 \mu\text{m}^2$, $75 \times 75 \mu\text{m}^2$, $50 \times 50 \mu\text{m}^2$ 에서 각각 2.7%, 8.9%, 28.6%의 상승률을 보였으며, 디바이스 크기가 작아질수록 상승폭이 증가하였다. 이는 디바이스가 미세화될수록, 나노단위 크기의 필라멘트가 커패시턴스에 미치는 영향이 극대화되는 것을 의미할 수 있다.

[0077] ReRAM은 MIM 구조로 이루어져 있고, 양쪽 전극사이에 있는 유전체 내부에 필라멘트 형성과 파열 과정을 통해 논리상의 '0' 혹은 '1'을 저장할 수 있다.

[0078] 전도성 필라멘트는 MIM 구조에 인가된 포밍 전압에 의해 형성될 수 있다.

[0079] 리셋 전압을 통하여 필라멘트의 일부가 파열될 수 있다. 이러한 과정을 진행함에 있어서 고려해야 할 파라미터 중에, 전압-전류(I-V) 측정시에 측정자가 설정할 수 있는 전류 제한(compliance current, Icc)이 있다. 전류 제한은 일반적으로 디바이스 측정 시에 과전류 방지를 위한 목적으로 설정될 수 있다. ReRAM에서 유전체 내에 필라멘트 형성(Forming) 이후부터는 전자가 저항없이 흐른다고 볼 수 있기 때문에 설정된 전류 제한(Icc)까지 전류가 흐를 수 있다.

[0080] 도 6은 전류 제한의 변화에 따른 Pt/HfO₂/Pt 소자의 전류-전압(I-V) Forming 곡선을 나타낸 그래프이다.

[0081] 도 6과 같이 특정 전압에서 필라멘트 Forming이 일어나면 전류가 급격하게 상승될 수 있다. 전류의 상승은 설정된 전류 제한점까지 이루어지며, 그 이후 전압이 증가하더라도 전류량의 추가 증가는 발생하지 않는다. 결국 전류 제한에 따라서 전자가 이동하는 양이 결정될 수 있는 것이고, 전류 제한이 높다면 많은 양의 전자가 이동할 수 있기 때문에 전자가 이동할 수 있는 길 역할을 하는 필라멘트의 넓이(혹은 두께)가 증가한다고 볼 수 있다. 따라서 전류 제한(Icc)의 최적화 과정을 통하여 높은 전류 제한(Icc) 값의 범위에서 필라멘트의 형성 파열을 거친다면, 앞서 제안한 MIM 커패시터 내부에 보다 더 넓은 표면적의 필라멘트가 생성될 수 있다.

[0082] 전류 제한이 최대로 높은 지점에서 형성-파열 과정을 거치게 된다면 최대치의 커패시턴스 증가를 유도할 수 있다. 하지만, 첫 동작부터 너무 높은 전류에서 Forming을 하게 되면 디바이스가 고전류로 인한 손상을 입게 되어서 Reset 동작이 가능하지 않게 되기 때문에 유전체 성질로 돌아올 수 없는 문제점이 있다. 따라서 저전류부터 필라멘트의 형성-파열 과정을 시작하고 단계적으로 전류 제한을 높이는 방법을 통하여, MIM 커패시터가 유전체적인 기능을 잃지 않으면서 필라멘트를 활용하여 커패시턴스를 향상시킬 수 있는 최적화 방법이 제안될 수 있다.

[0083] 도 7은 전류 제한에 따른 필라멘트의 '형성-파열' 과정 및 필라멘트의 두께 변화를 비교한 개략도이다.

[0084] 도 7과 같이 ReRAM 동작이 가능한 저전류 구간(Icc 1)에서의 '형성-파열' 동작을 진행하면 얇은 필라멘트가 형성된 것을 관찰할 수 있다. 이 과정에서 소자는 안정적으로 동작하지만 얇은 필라멘트로 인하여 증가되는 전극의 면적 및 커패시턴스는 상대적으로 작은 값을 가질 수 있다. 더 많은 커패시턴스 증가 효과를 유도하기 위하여 전류 제한을 Icc 2로 높인 후 '형성-파열' 과정을 거치고, 소자가 완전히 breakdown(손상으로 인한 failure)되지 않는 최대의 전류제한(Icc 3)에서 '형성-파열' 과정을 점차적으로 진행한다면 상대적으로 두꺼운

필라멘트가 생성될 수 있다.

[0085] 도 7에서는 ReRAM을 예로 들어 설명하였으나, 도 7과 같이 전류 제한을 점진적으로 증가시키는 방안은 본 발명의 커패시터에 그대로 적용될 수 있다. 다만, ReRAM과 비교해서 본 발명의 포밍 전압은 커패시터의 동작 전압보다 1.5배 이상의 전압으로 설정될 수 있다. 그 결과, 형성 단계를 통해 절연층 내부에 형성된 필라멘트는 커패시터의 동작에 상관없이 일정하게 유지될 수 있다.

[0086] 도 8은 전류 제한을 $10\ \mu A$, $100\ \mu A$, $1mA$ 순서로 설정하여 '형성-파열' 동작을 진행한 소자의 커패시턴스 증가 상태를 나타낸 그래프이다.

[0087] $50\ \mu m^2$ 크기의 Pt/HfO₂/Pt 소자에 대하여 I_{cc} 를 $100\ \mu A$, $1mA$, $10mA$ 순서로 설정하고, 순서대로 필라멘트의 '형성-파열'을 진행하였다. 그 결과 I_{cc} 3까지 진행했을 때의 커패시턴스 결과가 가장 높게 나타났으며 각 과정에서의 커패시턴스 향상까지 확인할 수 있었다.

[0088] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 통상의 기술자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

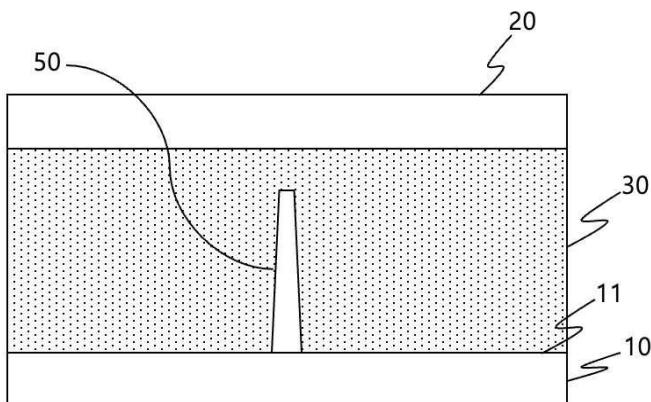
[0090] 10...제1 전극 11...제1 면

20...제2 전극 30...절연층

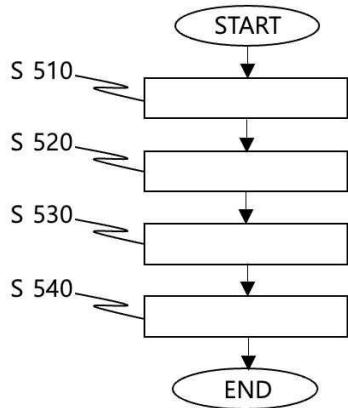
50...필라멘트

도면

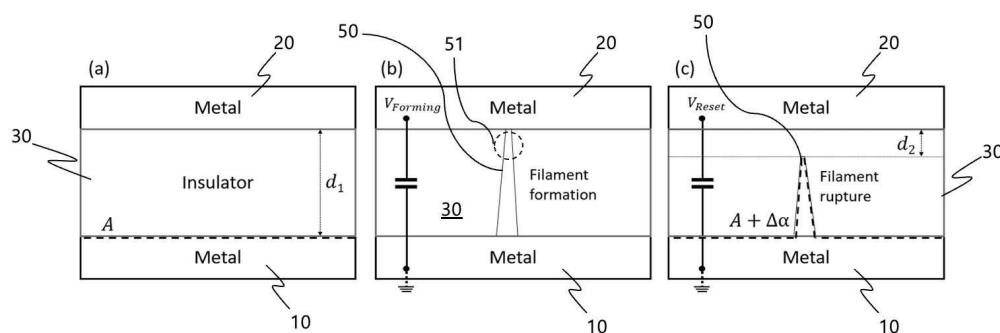
도면1



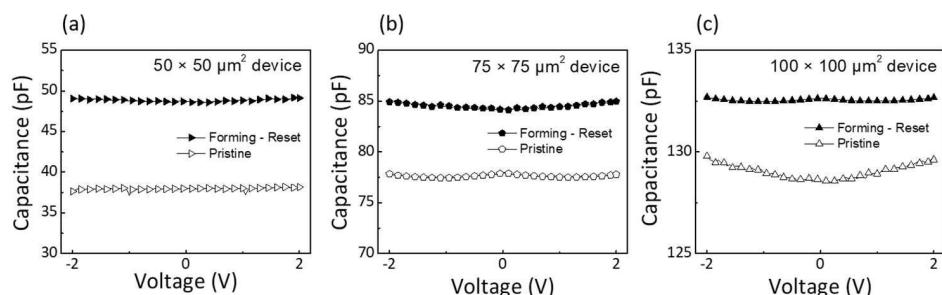
도면2



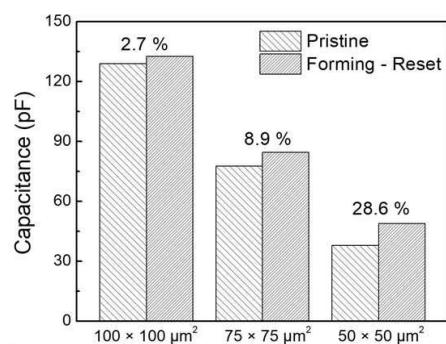
도면3



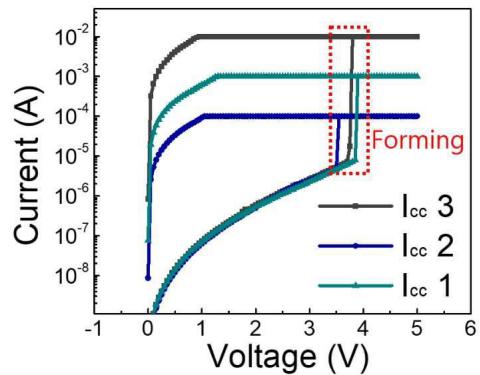
도면4



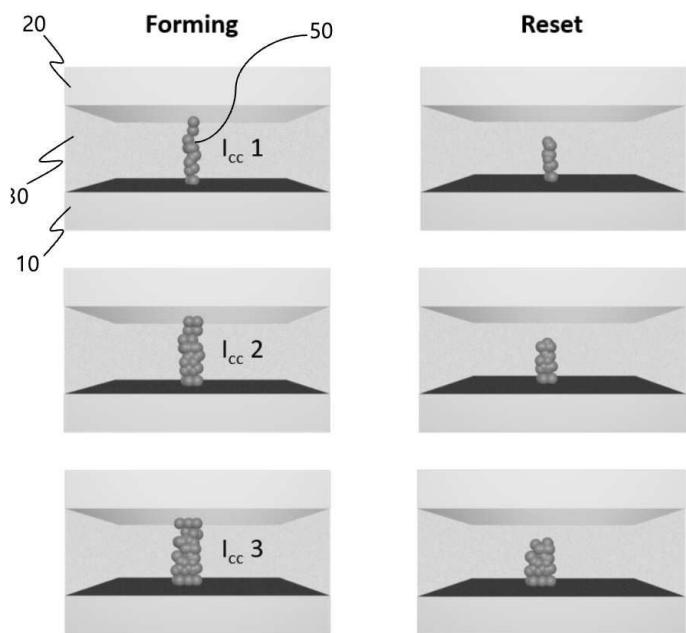
도면5



도면6



도면7



도면8

